

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP409293822A

PAT-NO: JP409293822A

DOCUMENT-IDENTIFIER: JP 09293822 A

TITLE: SEMICONDUCTOR DEVICE WITH LEAD FRAME FOR POWER
SOURCE ONLY

PUBN-DATE: November 11, 1997

INVENTOR-INFORMATION:

NAME

YANO, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP08105312

APPL-DATE: April 25, 1996

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of power source pins, increase the number of semiconductor signal pins, and reduce the size and cost of a semiconductor package.

SOLUTION: A metal lead frame for use in assembling of a semiconductor device has a lead frame 101 for VDD power source only and a semiconductor supporting lead frame 102 also used for a VSS power source. A semiconductor device 103 is adhered to an insulation adhesive to the latter lead frame 102. The former lead frame 101 is located vertically above an electric signal transmitting lead frame 108 and formed as a ring surrounding the periphery of the semiconductor device 103. Owing to this structure, any semiconductor pad

can be connected
through a binding wire to the power-only lead frame.

COPYRIGHT: (C)1997, JPO

11/14/2002, EAST Version: 1.03.0002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293822

(43) 公開日 平成9年(1997)11月11日

| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|----------------------------|-------|--------|---------------|---------|
| H 0 1 L 23/50 | | | H 0 1 L 23/50 | X |
| | | | | K |
| 21/60 | 3 0 1 | | 21/60 | 3 0 1 B |

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-105312

(22) 出願日 平成8年(1996)4月25日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 矢野 博之

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

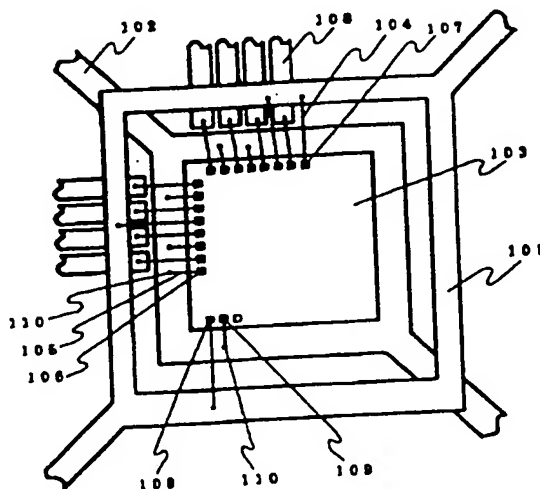
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 電源専用リードフレーム付半導体装置

(57) 【要約】

【解決手段】半導体装置の組立に使用する金展翼リードフレームにおいて、VDD電源専用リードフレーム101とVSS電源兼用半導体支持リードフレーム102を設けた。VSS電源兼用半導体支持リードフレーム102の上には、半導体装置103が絶縁性の接着剤によつて張り付けてある。またVDD電源専用リードフレーム101は、電気信号伝達用リードフレーム108の垂直上方向に位置し、半導体装置103の周辺を囲むように輪を形成して配置されている。この構造により、どの半導体パッドからでもボンディングワイヤーによつて電源専用リードフレームに接続することができる。

【効果】電源ピン数の減少、半導体信号ピンの増加、半導体パッケージの小型化、コストの減少を得ることが出来る。



【特許請求の範囲】

【請求項1】半導体装置の組立に使用する金属製リードフレームにおいて、半導体装置を支える電源兼用半導体支持リードフレームと電気信号を伝達するためのリードフレームと電源専用リードフレームとからなり、半導体装置を支えるリードフレームと半導体装置とを電気的に接続するボンディングワイヤーによって接続され、電気信号を伝達するためのリードフレームはボンディングワイヤーによって半導体装置のパッド部分と電気的に接続され、さらに電源専用リードフレームは、電気信号を伝達するためのリードフレームの垂直上方向に位置し、垂直上方向から見たとき、半導体装置の周辺を囲むように輪を形成したリードフレームを配置したことを特徴とする電源専用リードフレーム付半導体装置。

【請求項2】前記電源専用リードフレームが前記電気信号を伝達するためのリードフレームの垂直下方向に位置することを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

【請求項3】前記電源専用リードフレームが前記半導体装置の1辺以上ととなり合うような棒状としたリードフレームを配置したことを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

【請求項4】前記電源専用リードフレーム、または前記電源兼用半導体支持リードフレームと前記半導体装置の電源パッド以外のパッドとをボンディングワイヤーによって電気的に接続したことを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の組立に使用するリードフレームに関する。

【0002】

【従来の技術】従来の半導体装置の組立に使用するリードフレームを、図2により説明する。図2は、従来の実施例の半導体装置を示しており、201はVDD電源リードフレーム、202はVSS電源リードフレームであり、この例では電源用として使っている。204は半導体装置、203は半導体装置支持用リードフレーム、205はボンディングワイヤー、206はVDD電源パッド、207はVSS電源パッドであり、半導体装置204は半導体支持用リードフレーム201はボンディングワイヤー205によってVDD電源パッド206に電気的に接続している。これにより、半導体装置204にVDD電源を供給している。同様にVSS電源リードフレーム202はボンディングワイヤー205によって、VSS電源パッド207に電気的に接続される。これによりVSS電源を半導体装置204に供給している。209は電気信号伝達用リードフレーム、208は信号パッドであり、電気信号伝達用リードフレーム20

9はボンディングワイヤー205によって信号パッド208に電気的に接続されている。これにより、電気信号を半導体装置204に入力あるいは出力する事が出来る。

【0003】

【発明が解決しようとする課題】上記の従来の半導体装置の組立に使用するリードフレームは、一つの電源パッドに対して一つのリードフレームを必要としていたため、電源ピンが電源パッド分だけ必要となり、ピン数の増加、半導体パッケージの大型化、組立コストの増加をまわくという課題を有する。

【0004】また、半導体装置を安定して動作させるためにはどうしても複数電源ピンを設ける必要が生じ、電源ピン数を減らすことが難しかった。

【0005】そこで、本発明はこのような課題を解決するもので、その目的とするところは、電源ピン数を増加させる事なく、半導体装置を安定動作させることにある。

【0006】

【課題を解決するための手段】本発明の電源専用リードフレーム付半導体装置は、半導体装置の組立に使用する金属製リードフレームにおいて、半導体装置を支える電源兼用半導体支持リードフレームと電気信号を伝達するためのリードフレームと電源専用リードフレームとからなり、半導体装置を支えるリードフレームと半導体装置とを電気的に接続するボンディングワイヤーによって接続され、電気信号を伝達するためのリードフレームはボンディングワイヤーによって半導体装置のパッド部分と電気的に接続され、さらに電源専用リードフレームは、電気信号を伝達するためのリードフレームの垂直上方向に位置し、半導体装置の周辺を囲むように輪を形成したリードフレームを配置したことを特徴とする。

【0007】

【発明の実施の形態】以下、本発明の一実施例を図面により説明する。

【0008】図1は、本発明の一実施例における電源専用リードフレーム付半導体装置を示しており、101はVDD電源専用リードフレーム、108は電気信号伝達用リードフレーム、102はVSS電源兼用半導体支持リードフレーム、103は半導体装置であり、半導体装置103はVSS電源兼用半導体支持リードフレーム102の上に絶縁性の接着剤によって絶縁するように張り付けてある。また、VDD電源専用リードフレーム101は、電気信号伝達用リードフレーム108の垂直上方向に位置し、半導体装置103の周辺を囲むように輪を形成して配置されている。さらに図1に示したVDD電源専用リードフレーム101の右上、左下へのびる部分はVDD電源ピンとして半導体パッケージの外に出され、なおかつ、VDD電源専用リードフレーム101を支える役割を果たす。107はVDD電源パッド、10

4はボンディングワイヤーであり、VDD電源パッド107はボンディングワイヤー104によってVDD電源専用リードフレーム101に電気的に接続される。これにより半導体装置103にVDD電源が供給される。106はVSS電源パッド、105はボンディングワイヤーであり、VSS電源パッド106はボンディングワイヤー105によって、VSS電源兼用半導体支持リードフレーム102に電気的に接続される。これにより、半導体装置103にVSS電源が供給される。半導体装置103はVSS電源パッド106及び、VDD電源パッド107が多くあればあるほど安定動作し有利になる。前述した構造にしたためVDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102に対して複数ボンディングでき、なおかつ他のボンディングワイヤーと接触しないように接続することが出来る。

【0009】また、109は電気信号入力パッドであり、電気信号入力パッド109を電気信号伝達用リードフレームではなく、VDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102へボンディングワイヤー110を使って接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更するのに使用することができる。

【0010】なお、本実施例ではVDD電源専用リードフレーム101の形状が半導体装置の周辺を囲むように輪を形成しているが、半導体装置の1辺以上ととなり合うような棒状としたVDD電源専用リードフレームでも、同様の効果を得ることが出来る。

【0011】

【発明の効果】以上述べたように、本発明によれば半導体装置の周囲に電源専用リードフレームを備えたことにより、どのパッドからでもボンディングワイヤーによって電源のリードフレームに接続することができ、電源ピ

ンが1対であっても複数の電源パッドに接続することが出来る。これにより半導体装置の安定動作に寄与することが出来る。さらに電源ピンを複数設ける必要が無いため、半導体パッケージの小型化、低コスト化に寄与する事が出来る。

【0012】また、電気信号入力パッドをVDD、およびVSSに接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更することが可能となり、機能確認のみだけに端子を設ける必要が無くなるという効果も有する。

【図面の簡単な説明】

【図1】本発明の一実施例を垂直上方向から見た電源専用リードフレーム付半導体装置の簡略化した平面図。

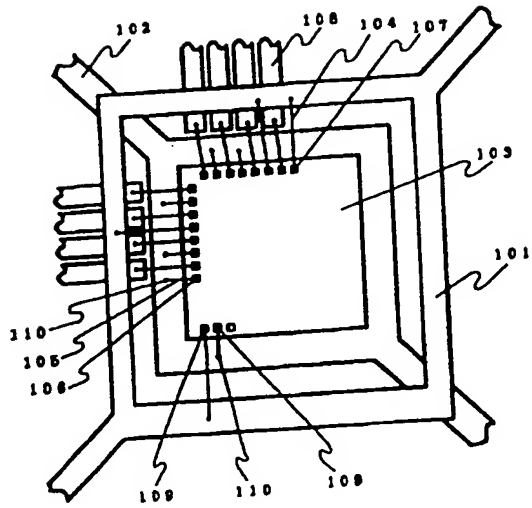
【図2】従来の半導体装置の簡略化した平面図。

【符号の説明】

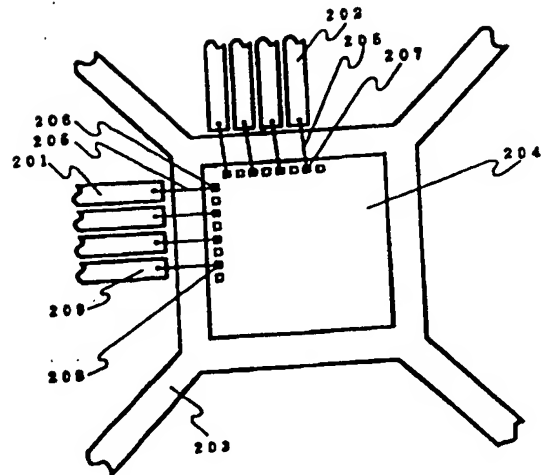
| | | |
|-------------|-----|---------------------|
| 101 | ... | VDD電源専用リードフレーム |
| 102 | ... | VSS電源兼用半導体支持リードフレーム |
| 103 | ... | 半導体装置 |
| 104、105、110 | ... | ボンディングワイヤー |
| 106 | ... | VSS電源パッド |
| 107 | ... | VDD電源パッド |
| 108 | ... | 電気信号伝達用リードフレーム |
| 109 | ... | 電気信号入力パッド |
| 201 | ... | VDD電源リードフレーム |
| 202 | ... | VSS電源リードフレーム |
| 203 | ... | 半導体装置支持用リードフレーム |
| 204 | ... | 半導体装置 |
| 205 | ... | ボンディングワイヤー |
| 206 | ... | VDD電源パッド |
| 207 | ... | VSS電源パッド |
| 208 | ... | 信号パッド |

(4)

【図1】



【図2】



등록특허 97-72358 1/2

대한민국 특허청 (KIR)
공개특허공보 (A)

Int. Cl.
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7

공개번호 97-72358

출원일자 1996. 4. 1

출원번호 96- 9774

심사청구: 있음

발명자 허영욱 경기도 성남시 분당구 수내동 55 롯데아파트 132- 1504

출원인 아남산업 주식회사 대표이사 황인신

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

대리인 변리사 서만규

(전 2면)

반도체패키지의 제조방법 및 구조

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로용접시 발생하는 열응축의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 부정부의측에 위치한 리드는 적당하고, 돌출부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 미더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화할 수 있는 반도체패키지이다.

특허청구의 범위

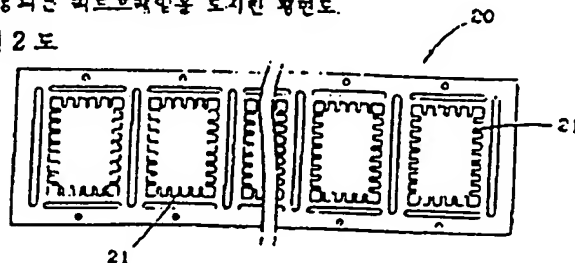
1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계 후에 몰딩영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩구 패들 홀(Vacuum Hole)이 형성된 히터블럭에 반도체칩을 위치시켜 상기 패들 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 단물 형성하여 액상 봉지재가 들어 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 골드 접착층을 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 골드 접착층도 몰딩 후, 150℃ 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 몰딩영역을 벗어나지 않으며 지면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 접착층으로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 접착층은 리드 및 반도체칩의 상부뿐만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위한 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 기재된 내용에 의하여 공개되는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도



등록특허 97-72358 1/2

대한민국특허청 (KR)
공개특허공보 (A)

Int. Cl.
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7
출원일자 1996. 4. 1

공개번호 97-72358
출원번호 96- 9774
심사청구 : 있음

발 명 자 허 명 욱 경기도 성남시 분당구 수내동 55 롯데아파트 132- 1504

출 원 인 아남산업 주식회사 대표이사 황 인 신

서울특별시 성동구 성수 2가 280-8 (우 : 133-120)

대리인 변리사 서 만 규

(전 2면)

반도체패키지의 제조방법 및 구조

요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로용접시 발생하는 열단층의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 용접 부 외측에 위치한 리드는 접단하고, 돌출부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장 시 리드의 저면에서 신호전달을 하도록 함으로써 실장면적을 최소화할 수 있는 반도체패키지이다.

특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계 후에 몰딩영역 외곽에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩은 배플 홀(Vacuum Hole)이 형성된 히더블럭에 반도체칩을 위치시켜 상기 배플 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 단층 형성하여 액상 봉지재가 묻어 남는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 몰드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 컴파운드로 몰딩 후, 150°C 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 돌레쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외곽에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외곽에 위치되고 몰딩영역을 벗어나지 않으며 지면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체칩의 상부뿐만 아니라 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 돌레쉬(Flash)의 제거를 위한 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항 : 기재된 내용에 의하여 공개되는 것임.

도면의 간단한 설명

제2도는 본 발명에 작용되는 리드프레임을 도시한 평면도.

제 2 도

